

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-111712

(43)Date of publication of application : 12.04.2002

(51)Int.Cl.

H04L 12/56

(21)Application number : 2000-295688

(71)Applicant : NEC CORP

(22)Date of filing : 28.09.2000

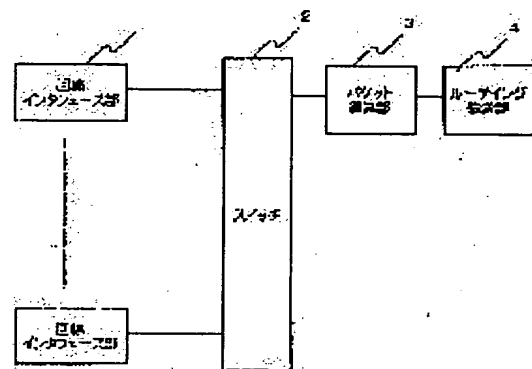
(72)Inventor : KOBAYASHI HIROSHI

(54) LOAD LEVELING SYSTEM IN HARDWARE ROUTING

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate such a bottleneck that only one routing process mechanism is provided in the structure of the technical field of the above title and improve the performance of the system by centralizing the processes and realizing high speed processing in the packet editing.

SOLUTION: The load leveling system comprises a line interface control unit 1 for controlling corresponding layers 1, 2 of each protocol such as the Ethernet (R) and ATM or the like, a switch 2 for connecting the interface control unit 1, a packet editing unit 3 and a load leveling unit 5, a plurality of packet editing units 3 for receiving a packet from each line interface and transferring the packets to the relevant line by conducting the packet editing depending on the protocol of the transfer line depending on the result of process of a routing search unit 4, and the routing search unit 4 for judging the line which is connected to each packet editing unit 3 to transfer a packet header information therefrom and transfer a class or the like of the packet information to be edited to the packet editing unit 3.



LEGAL STATUS

[Date of request for examination]

21.08.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2002-111712

(P 2002-111712A)

(43) 公開日 平成14年4月12日(2002. 4. 12)

(51) Int. Cl. 7

識別記号

F I

テーマコード(参考)

H 0 4 L 12/56

H 0 4 L 11/20 1 0 2 A 5K030

審査請求 有 請求項の数 3

O L

(全 4 頁)

(21) 出願番号 特願2000-295688 (P2000-295688)

(22) 出願日 平成12年9月28日(2000. 9. 28)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 小林 浩

東京都港区芝五丁目7番1号日本電気株式会
社内

(74) 代理人 100076325

弁理士 熊谷 雄太郎

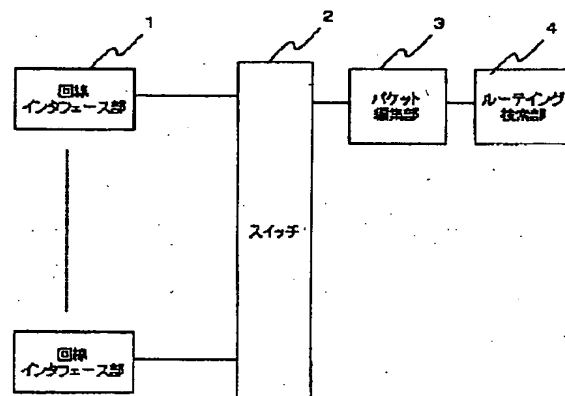
F ターム(参考) 5K030 HA08 HC14 JA05 LB05 LE03
LE09

(54) 【発明の名称】 ハードウェアルーティングの負荷分散方式

(57) 【要約】

【課題】 従来におけるこの種の技術の構成ではルーティング処理機構は1個であるために、処理が集中し、かつパケット編集で高速な処理が実現できなければここがボトルネックとなり、性能が上がらない。

【解決手段】 イーサネット(登録商標)、ATM等各種プロトコルのレイヤ1、2相当を制御する回線インタフェース制御部1と、インタフェース制御部1とパケット編集部3及び負荷分散制御部5とを接続するスイッチ2と、各回線インタフェースからのパケットを受信し、ルーティング検索部4の処理結果により転送する回線のプロトコルに従ったパケット編集を実施し該当の回線にパケットを転送する複数のパケット編集部3と、各パケット編集部3に接続されそれらからのパケットヘッダ情報により転送される回線を判定し、編集すべきパケット情報の種別等をパケット編集部3に引き渡すルーティング検索部4とを設ける。



【特許請求の範囲】

【請求項 1】 VLAN 間転送、マルチプロトコル転送を行う通信装置で、特に各ネット間のルーティング処理、パケットヘッダ編集をハードウェアで実現する通信装置において、パケット編集処理及びルーティング処理を実行する複数組のパケット編集、ルーティング処理手段と、該パケット編集、ルーティング処理手段の処理状態を監視して、負荷を均等に分散する負荷分散制御手段とを具備し、パケット転送性能を向上させることを特徴とするハードウェアルーティングの負荷分散方式。

【請求項 2】 前記パケット編集、ルーティング処理手段は、イーサネット、ATM 等各種プロトコルのレイヤ 1、2 相当を制御する回線インタフェース制御回路と、該インタフェース制御回路と後記パケット編集回路及び後記負荷分散制御回路とを接続するクロスポイントスイッチと、前記各回線インタフェースからのパケットを受信し、後記ルーティング検索回路の処理結果により転送する回線のプロトコルに従ったパケット編集を実施し該当の回線にパケットを転送する複数のパケット編集回路と、該各パケット編集回路に接続され該各パケット編集回路からのパケットヘッダ情報により転送される回線を判定し、編集すべきパケット情報の種別等を該パケット編集回路に引き渡すルーティング検索回路とを有することを更に特徴とする請求項 1 に記載のハードウェアルーティングの負荷分散方式。

【請求項 3】 前記負荷分散制御手段は、前記各パケット編集回路の処理状態を監視し、前記回線インタフェース回路からの処理要求に対して空いている前記パケット編集回路への転送指示を行うことで負荷分散を実施する負荷分散制御回路であることを更に特徴とする請求項 1 または 2 のいずれか一項に記載のハードウェアルーティングの負荷分散方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ハードウェアルーティングの負荷分散方式に関し、更に詳しくは、VLAN 間転送、マルチプロトコル転送を行う通信装置で、特に各ネット間のルーティング処理、パケットヘッダ編集をハードウェアで実現する通信装置において、複数のルーティング処理、パケット編集用ハードウェアを具備し、これらの処理状態を監視し、負荷を均等に分散することにより、パケット転送性能を向上させるハードウェアルーティングの負荷分散方式に関する。

【0002】

【従来の技術】図 2 はハードウェアでルーティング処理を行う従来における装置の構成例を示すブロック図である。

【0003】しかるに、図 2 に示されたような構成ではルーティング処理機構は 1 個であるために、処理が集中し、かつパケット編集で高速な処理が実現できなけれ

ば、ここがボトルネックとなり、性能が上がらないという問題がある。

【0004】上記問題を解決する手段として、特開 2000-13439 号公報に開示された技術が提案されている。

【0005】上記公報に開示されている技術は、2 個のルータが設けられており、第 1 のルータ、第 2 のルータ間はマルチリンク接続されており、第 1 のルータにはパケットからヘッダ情報を抽出する手段と、ヘッダ情報をキーとしてハッシュ計算等により出力インタフェースを決定する手段を備えている。そして、他のルータへ直接接続されている経路が複数存在するルータに対してルーティングを行う必要があるパケットが入ってきた場合には、ヘッダ情報の 1 つまたは複数を抽出し読み込み、読み込んだヘッダ情報をキーとしてハッシュ計算等を行い、その計算結果であるハッシュ値に対応するインタフェースにパケットを出力する。従って、抽出したヘッダ情報が同一であるパケットの出力インタフェースは常に同一となるために、パケットの順序逆転が起こることがない。また、上記ハッシュ計算式として、流れている量の多いパケットに帯域の広い経路が割り当てられるような関数を用いることにより、負荷集中を回避することができ、負荷分散を図ることが可能となる。

【0006】

【発明が解決しようとする課題】しかしながら、上記公報に開示されているマルチリンク型ルーティング方法は、構造が複雑化されるばかりか、高度な処理技術を必要とするという欠点があった。

【0007】本発明は従来の上記実情に鑑みてなされたものであり、従って本発明の目的は、従来の技術に内在する上記欠点を解消することを可能とした新規なハードウェアルーティングの負荷分散方式を提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するために、本発明に係るハードウェアルーティングの負荷分散方式は、VLAN 間転送、マルチプロトコル転送を行う通信装置で、特に各ネット間のルーティング処理、パケットヘッダ編集をハードウェアで実現する通信装置において、パケット編集処理及びルーティング処理を実行する複数組のパケット編集、ルーティング処理手段と、該パケット編集、ルーティング処理手段の処理状態を監視して、負荷を均等に分散する負荷分散制御手段とを備えて構成され、パケット転送性能を向上させることを特徴としている。

【0009】前記パケット編集、ルーティング処理手段は、イーサネット、ATM 等各種プロトコルのレイヤ 1、2 相当を制御する回線インタフェース制御回路と、該インタフェース制御回路と後記パケット編集回路及び後記負荷分散制御回路とを接続するクロスポイントスイ

ッチと、前記各回線インタフェースからのパケットを受信し、後記ルーティング検索回路の処理結果により転送する回線のプロトコルに従ったパケット編集を実施し該当の回線にパケットを転送する複数のパケット編集回路と、該各パケット編集回路に接続され該各パケット編集回路からのパケットヘッダ情報により転送される回線を判定し、編集すべきパケット情報の種別等を該パケット編集回路に引き渡すルーティング検索回路とを有している。

【0010】前記負荷分散制御手段は、前記各パケット編集回路の処理状態を監視し、前記回線インタフェース回路からの処理要求に対して空いている前記パケット編集回路への転送指示を行うことで負荷分散を実施する負荷分散制御回路である。

【0011】

【発明の実施の形態】次に、本発明をその好ましい一実施の形態について図面を参照しながら詳細に説明する。

【0012】図1は本発明による一実施の形態を示すブロック構成図である。

【0013】

【実施の形態の構成】図1を参照するに、1はイーサネット、ATM等各種プロトコルのレイヤ1、2相当を制御する回線インタフェース制御回路である。

【0014】2は回線インタフェース制御回路1、パケット編集回路3、負荷分散制御回路5を接続するクロスポイントスイッチである。

【0015】3は各回線インターフェースからのパケットを受信し、ルーティング検索回路4の処理結果により転送する回線のプロトコルに従ったパケット編集を実施し、該当する回線にパケットを転送するパケット編集回路を示している。

【0016】4はパケット編集回路3からのパケットヘッダ情報により、転送される回線を判定し、編集すべきパケット情報の種別等をパケット編集回路3に引き渡すルーティング検索回路である。

【0017】5はパケット編集回路3の処理状態を監視し、インタフェース制御回路1からの処理要求に対して、空いているパケット編集回路3への転送指示を行うことで負荷分散を実施する負荷分散制御回路である。

【0018】6はパケット編集回路3の処理状態を表示する信号線である。

【0019】

【実施の形態の動作】次に本発明による一実施の形態の

動作について説明する。

【0020】回線インタフェース制御回路1は、パケットを受信すると、負荷分散制御回路5に処理要求を転送する。負荷分散制御回路5は、パケット編集回路3の処理状態を監視し、空いているパケット編集回路3への転送指示を回線インタフェース回路1に返送する。

【0021】回線インタフェース回路1は、負荷分散制御回路5からの転送指示に従い、指定されたパケット編集回路3へのパケット転送を行う。パケット編集回路3は受信したパケットのヘッダ情報をルーティング検索回路4に転送する。

【0022】ルーティング検索回路4は、パケット編集回路3からの受信したヘッダ情報により、転送する回線インタフェース、アドレス等を検索し、転送に必要なパケット情報の種別、アドレス等の情報をパケット編集回路3に転送する。パケット編集回路3は負荷分散制御回路5から受信した情報によりパケット編集を行い、転送先の回線インタフェース制御回路に編集したパケットを転送する。

【0023】

【発明の効果】本発明は、以上の如く構成され、作用するものであり、本発明によれば以下に示すような効果が得られる。

【0024】ハードウェアによりパケット編集を行う場合には、複雑な処理が必要となるために、処理時間が増加する。

【0025】処理時間短縮のためには、回路のクロックスピードの高速化、内部処理の並列化等高度で複雑な機構が必要であり、回路を安定させることが困難になるが、本発明では、並列してパケット編集を行うことにより、容易に処理能力を向上させることができる。

【図面の簡単な説明】

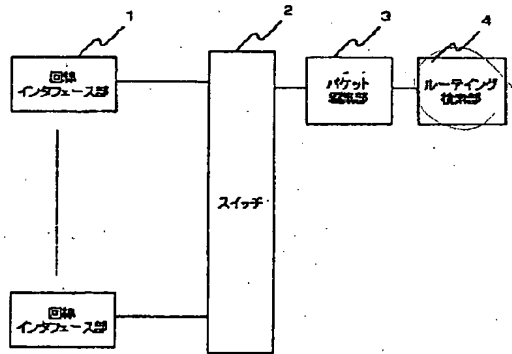
【図1】本発明の一実施の形態を示すブロック構成図である。

【図2】従来技術を示すブロック図である。

【符号の説明】

- 1…回線インタフェース回路
- 2…クロスポイントスイッチ
- 3…パケット編集回路
- 4…ルーティング検索回路
- 5…負荷分散制御回路
- 6…パケット編集回路3の処理状態を表示する信号線

【図1】



【図2】

